

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroaki HAZAMA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: A SEMICONDUCTOR MEMORY DEVICE HAVING A GATE INSULATION FILM AND A
MANUFACTURING METHOD THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-322476	November 6, 2002

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

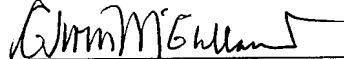
were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年11月 6日

出願番号

Application Number: 特願2002-322476

[ST.10/C]:

[JP2002-322476]

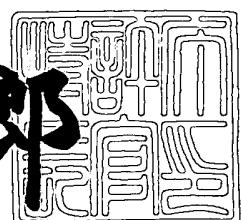
出願人

Applicant(s): 株式会社東芝

2003年 6月24日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3049427

【書類名】 特許願
【整理番号】 02P214
【提出日】 平成14年11月 6日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/00
【発明の名称】 不揮発性半導体記憶装置及びその製造方法
【請求項の数】 6
【発明者】
【住所又は居所】 三重県四日市市山之一色町 800 番地 株式会社東芝
四日市工場内
【氏名】 間 博顕
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100092820
【弁理士】
【氏名又は名称】 伊丹 勝
【電話番号】 03-5216-2501
【手数料の表示】
【予納台帳番号】 026893
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9810498
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートを持つ電気的書き換え可能なメモリセルが配列されたメモリセルアレイと、

前記メモリセルアレイを覆うシリコン窒化膜と、

前記シリコン窒化膜上に層間絶縁膜を介して形成された配線とを備え、

前記半導体基板と前記シリコン窒化膜との間にある層における重水素濃度が前記シリコン窒化膜より上層のそれより高い

ことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記メモリセルアレイは、複数のメモリセルが隣接するもの同士で拡散層を共有して直列接続されたNANDセルユニットを構成していることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 半導体基板に、トンネル絶縁膜を介して形成された浮遊ゲートを持つ電気的書き換え可能なメモリセルが配列されたメモリセルアレイを形成する工程と、

前記メモリセルアレイを覆うシリコン窒化膜を堆積する工程と、
前記シリコン窒化膜が堆積された基板を、酸化性雰囲気でアニールする第1のアニール工程と、

前記第1のアニール工程に引き続いて、前記シリコン窒化膜が堆積された基板を、重水素を含む雰囲気でアニールする第2のアニール工程と、

前記シリコン窒化膜上に層間絶縁膜を介して配線を形成する工程と、
を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項4】 前記メモリセルアレイは、複数のメモリセルが隣接するもの同士で拡散層を共有して直列接続されたNANDセルユニットを構成していることを特徴とする請求項3記載の不揮発性半導体記憶装置の製造方法。

【請求項5】 前記第1のアニール工程における酸化性雰囲気は、水蒸気雰囲気、水素と酸素の混合ガス雰囲気のいずれかである

ことを特徴とする請求項3又は4記載の不揮発性半導体記憶装置の製造方法。

【請求項6】 前記第2のアニール工程に先立って、前記シリコン基板の裏面に堆積されたシリコン窒化膜をエッティング除去する工程を有することを特徴とする請求項3又は4記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電気的書き換え可能な不揮発性半導体記憶装置（EEPROM）及びその製造方法に関する。

【0002】

【従来の技術】

半導体装置では、シリコン基板とこの上に形成されるシリコン酸化膜との界面の安定性が素子特性の安定化にとって重要である。このため一般に、素子製造工程において、シリコン基板／シリコン酸化膜の界面準位のもととなるSiの未結合手を終端（ターミネーション）するための水素アニールが行われる。具体的には水素アニールは、水素（H₂）／窒素（N₂）の混合ガスを用いて行われ、これによりSi-H結合が形成されて界面準位密度が低いものとなる。EEPROMにおいても従来は、この様な水素アニールが一般的に行われていた。

【0003】

しかし、ゲート酸化膜としてトンネル酸化膜を用いるEEPROMのセルアレイでは、水素アニールを行っても特性劣化が避けられないことが明らかになっている。即ちEEPROMでの電気的書き換えは、FNトンネリングやホットキャリア注入によって、シリコン基板とこの上にトンネル酸化膜を介して形成された浮遊ゲートとの間での電子の注入／放出を行わせる。ところが、トンネル酸化膜中のSi-H結合は、結合エネルギーが比較的小さく、書き換えを繰り返すことによってその結合が切れて、特性劣化をもたらす。

【0004】

一方、水素アニールに代わって、重水素（D₂）を用いた重水素アニールを行う半導体装置の製造方法も種々提案されている。例えば、ゲート電極とゲート酸

窒化膜界面に重水素結合（Si-D）を導入して、絶縁破壊耐性を向上させる方法（特許文献1参照）、ゲート絶縁膜とシリコン基板界面に重水素を導入して、ゲート絶縁膜の損傷を防止する方法（特許文献2参照）、トランジスタと高誘電体キャパシタを持つデバイスにおいて、ゲート絶縁膜とシリコン基板界面に重水素を導入して、ゲートしきい値の改善とキャパシタの電荷保持特性の改善を図る方法（特許文献3参照）、窒素又は金属を含有するゲート絶縁膜形成後に重水素を導入して、ホットキャリアによる電子トラップ発生を抑制する方法（特許文献4参照）、等である。

【0005】

【特許文献1】

特開平11-274489号公報

【特許文献2】

特開平11-284183号公報

【特許文献3】

特開2000-77621号公報

【特許文献4】

特開2002-118252号公報

【0006】

【発明が解決しようとする課題】

最近のNAND型EEPROMでは、ビット線等のコンタクト開口プロセスのために、セルアレイをシリコン窒化膜（SiN膜）で覆うことが行われる。SiN膜はその膜中にSi-H結合やN-H結合を多数含有しており、後の熱工程、特にSiN膜の堆積温度以上の熱工程が印加されると、SiN膜中のSi-H結合やN-H結合が切れて、原子状の水素（H^{*}）がSiN膜から放出される。そうすると、SiN膜の下にある不揮発性メモリセルのトンネル酸化膜が、SiN膜が脱離した原子状水素により還元されて、トンネル酸化膜中のSi-H結合が増加する。このトンネル酸化膜中のSi-H結合が、書き換えの繰り返しによって結合が切れることによって、特性劣化を引き起こす。

【0007】

この発明は、不揮発性メモリセルの特性安定化を図った不揮発性半導体記憶装置とその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

この発明に係る不揮発性半導体記憶装置は、半導体基板と、前記半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートを持つ電気的書き換え可能なメモリセルが配列されたメモリセルアレイと、前記メモリセルアレイを覆うシリコン窒化膜と、前記シリコン窒化膜上に層間絶縁膜を介して形成された配線とを備え、前記半導体基板と前記シリコン窒化膜との間にある層における重水素濃度が前記シリコン窒化膜より上層のそれより高いことを特徴とする。

この発明に係る不揮発性半導体記憶装置の製造方法は、半導体基板に、トンネル絶縁膜を介して形成された浮遊ゲートを持つ電気的書き換え可能なメモリセルが配列されたメモリセルアレイを形成する工程と、前記メモリセルアレイを覆うシリコン窒化膜を堆積する工程と、前記シリコン窒化膜が堆積された基板を、酸化性雰囲気でアニールする第1のアニール工程と、前記第1のアニール工程に引き続いて、前記シリコン窒化膜が堆積された基板を、重水素を含む雰囲気でアニールする第2のアニール工程と、前記シリコン窒化膜上に層間絶縁膜を介して配線を形成する工程と、を有することを特徴とする。

【0009】

この発明によると、セルアレイがシリコン窒化膜で覆われる構造の場合に、シリコン窒化膜より下層の重水素濃度を上層より高いものとすることで、不揮発性メモリセルの特性安定化が図られる。

特にこの発明の製造方法としては、セルアレイをシリコン窒化膜で覆った段階で、重水素アニールを行う際に、それに先だって、シリコン窒化膜中の水素を脱離させる酸化性雰囲気でのアニールを行うことが重要になる。この様にシリコン窒化膜の水素を脱離した後に重水素を導入することにより、その後の熱工程でSiN膜から水素が脱離してトンネル絶縁膜を劣化させるという事態が効果的に抑制される。

【0010】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図1は、この発明の実施の形態によるNAND型EEPROMのメモリセルアレイの概略レイアウトを示している。ワード線(WL)13とビット線(BL)27とが互いに交差して配設され、それらの各交差部にメモリセルMCが形成される。ビット線BL方向に並ぶ複数のメモリセルMCは後述するように直列接続されてNANDセルユニットを構成する。NANDセルユニットの一端は、選択ゲートトランジスタSG1を通してビット線BLに接続される。図1では、省略されているが、NANDセルユニットの他端は選択ゲートトランジスタを通して、ソース線に接続される。選択ゲートトランジスタSG1のゲートは、ワード線WLと並行する選択ゲート線(SGD)13Aとして連続的に配設される。

【0011】

図2は、図1のワード線WLに沿ったI-I'断面図であり、図3は同じくビット線BLに沿ったII-II'断面図である。シリコン基板1のセルアレイ領域には、P型ウェル2が形成され、また各NANDセルユニットの各素子形成領域は、STIによる素子分離絶縁膜4により互いに分離されている。素子形成領域にトンネル酸化膜10を介して多結晶シリコン膜からなる浮遊ゲート11が形成され、浮遊ゲート11上に絶縁膜12を介して制御ゲート13が形成されている。制御ゲート13は、多結晶シリコン膜13aとタンゲステンシリサイド(WSi)膜13bの積層膜により形成される。制御ゲート13は、一方向に連続的にパターニングされて、ワード線WLとなる。

【0012】

制御ゲート13と浮遊ゲート11は、シリコン窒化膜(SiN膜)14をマスクとして同時にパターニングされ、これをマスクとしてイオン注入を行って、ソース、ドレイン拡散層15が形成される。拡散層15は、隣接セルで共有されて、複数のセルが直列接続されたNANDセルを構成する。

【0013】

こうして形成されたセルアレイの各ゲート間は、層間絶縁膜16により平坦に埋め込まれ、更にセルアレイを覆うようにSiN膜17が堆積される。この実施

の形態においては、後述するように、セルアレイを SiN 膜 17 で覆った段階で、その後のメタル配線工程の前に、重水素アニールを行うことになる。

【0014】

セルアレイ上は、層間絶縁膜 20 で覆われる。この層間絶縁膜 20 にコンタクトプラグ 21 と第1層メタルのタンクスチタン (W) 配線 22 が埋め込まれる。更に層間絶縁膜 23 が積層される。この層間絶縁膜 23 にコンタクトプラグ 24 が埋め込まれ、この上に第2層メタルである Al 膜によるビット線 (BL) 25 が形成される。図3では、ビット線側のコンタクト部のみ示しており、W配線 22 はビット線のための中継配線となるが、ソース線側はW配線 22 と同じ膜でソース配線が形成される。

【0015】

ビット線 25 上には、パシベーション膜として、シリコン酸化膜 26、プラズマCVDによる SiN 膜 27 及びポリイミド膜 28 が堆積されている。

【0016】

この実施の形態の具体的な製造工程を、図4以下の図面を参照して説明する。図4以下の図面では、主として図1の I-I' 断面を用いる。まず、図4に示すように、シリコン基板 1 に熱酸化法によってバッファ酸化膜 101 を形成する。その後、通常のフォトレジスト工程を用いてウェルイオン注入やチャネルイオン注入が必要な場所のみレジストを開孔し、必要なイオン種を注入し、熱工程を加えてイオン注入した不純物を活性化するとともに、イオン注入によって生じた欠陥を回復させる。これにより、セルアレイ領域には、表面の不純物濃度を最適化した p 型ウェル 2 が形成される。

【0017】

この後、バッファ酸化膜 101 をフッ酸を含む溶液で剥離する。そして、図5に示すように、メモリセルのトンネル酸化膜 10 を 9 nm 形成する。その後、 LPCVD 法にて多結晶シリコン膜 11a を 40 nm 堆積し、引き続いでシリコン窒化膜 (SiN 膜) 102 とシリコン酸化膜 (SiO₂ 膜) 103 を、それぞれ LPCVD 法にて 100 nm, 200 nm 堆積する。

【0018】

そして、通常のフォトレジスト工程にて、STI (Shallow Trench Isolation) となる領域に開口を持つレジストパターン（図示せず）を形成し、反応性イオンエッティングにより、図6に示すように、SiO₂膜103, SiN膜102, 多結晶シリコン膜11a, トンネル絶縁膜10を順次エッティングし、更にシリコン基板1をエッティングして、素子分離溝3を形成する。

レジストを酸素雰囲気でのアッシング法にて剥離した後、図7に示すように、素子分離絶縁膜4となるSiO₂膜を素子分離溝3が完全に埋まるように堆積する。続いて、CMP (Chemical Mechanical Polishing) 法によりSiN膜102が露出するまでSiO₂膜を研磨して平坦化した後、SiN膜102をホット磷酸にて剥離する。この状態が図8であり、SiN膜102の剥離により、素子分離絶縁膜4の段差が形成された状態になる。

【0019】

次に、多結晶シリコン膜11aと共に浮遊ゲートを形成するための不純物がドープされた多結晶シリコン膜11bを堆積する。そして、フォトレジスト法にてスリット部を開孔して反応性イオンエッティングにてこの多結晶シリコン膜11bをエッティングして、図9に示すように、ワード線方向について浮遊ゲートを分離するためのスリット111を形成する。その後レジストアッシング法にてレジスト剥離する。

【0020】

続いて、図10Aに示すように、ゲート間絶縁膜12となるONO (oxide/nitride/oxide) 膜を形成し、制御ゲート13となる不純物ドープ多結晶シリコン膜13aとWSi膜13b、更にSiN膜14を順次LPCVD法により堆積する。そして、フォトレジストをマスクとして、図10Bに示すように、ゲート加工を行い、イオン注入を行ってn⁺型拡散層15を形成する。

【0021】

この後、図11A及び図11Bに示すように、シリコン酸化膜16を堆積して、ゲート間を埋め込む。続いてCMP法にてSiN膜14が露出するまで酸化膜16を研磨して平坦化した後、フォトレジストをマスクにコンタクト形成部の酸

化膜16をエッティングする。その後、図12A及び図12Bに示すように、SiN膜17を堆積してセルアレイ領域をSiN膜17で覆う。

【0022】

こうしてコンタクト開口部を含むセルアレイ領域がSiN膜14, 17により覆われた状態で、SiN膜14, 17の水素脱離処理を行う。このSiN膜の水素抜き処理は例えば900°Cの酸化性雰囲気（水蒸気雰囲気或いは、水素と酸素の混合ガス雰囲気）での30分の熱処理である。これにより、SiN膜17の表面が酸化されると共に、SiN膜中の水素濃度が低下する。

【0023】

続いて、重水素(D2)と窒素(N2)の混合ガス雰囲気でのアニール（重水素アニール）を行う。この重水素アニールは例えば、600°Cで30分間行う。これにより、トンネル酸化膜10中のSi-H結合がSi-D結合に置換されるとともに、SiN膜17中に重水素が拡散しSi-D結合やN-D結合を形成される。

【0024】

この実施の形態において、SiN膜17中にSi-D結合やN-D結合が効果的に形成されるのは、重水素アニールに先立ち水素抜き処理が行われているためである。即ち、SiN膜14, 17中には水素抜き処理で水素(H)が抜けた未結合手が多数あり、この状態で重水素アニールすることにより、SiN膜14, 17中の未結合手が重水素で終端されることになる。また同時に、この重水素アニール時に、SiN膜14, 17の下層にある堆積膜中の水素が順次重水素で置換されるため、このSiN膜17とSi基板1の間にある層は、通常自然に存在する重水素濃度より高濃度の重水素を含有することになる。

【0025】

このようにして、SiN膜17中の水素が重水素で置換されたため、この後の熱工程でSiN膜17から水素が脱離して下層のトンネル絶縁膜10を還元し、Si-H結合を形成するという事態が防止される。以上により、トンネル絶縁膜10の信頼性が向上する。また、SiN膜17とSi基板1の間に堆積膜中に重水素が拡散しており、その上層部はSiN膜17でカバーされているため、重水

素は外方拡散できず、トンネル絶縁膜10にも十分な重水素をプロセスの最後まで確保することが可能となる。言い換えれば、SiN膜17より下層部は重水素を自然界の含有量以上に含有するが、その上層の膜中には自然界の含有量以上の重水素を含有しない構造が得られたことになる。

【0026】

なお以上の重水素アニール処理の工程では、より好ましい条件として、LPCVD法によるSiN膜堆積工程でウェハ裏面に堆積されたSiN膜をあらかじめエッティングして、ウェハ裏面にはSiN膜がない状態としておく。これにより、重水素雰囲気でアニールすることによる効果は増大する。600°Cのアニール雰囲気では重水素はシリコン基板1の裏面から素子が形成されたシリコン基板の表面まで拡散可能であるためである。

【0027】

以下の工程は通常と同様であり、図2及び図3に示すように、層間絶縁膜20としてBPSG膜を堆積してメルトし、コンタクトホールのパターンをフォトレジストで開孔して、コンタクトホール部のBPSG膜をエッティングし、SiN膜17が露出したところでエッティングをストップする。即ち、SiN膜17はコンタクトホール形成時のストッパーとして利用する。続いて、コンタクトホール部のSiN膜17をエッティング除去して、コンタクト部に不純物ドープ多結晶シリコンによるコンタクトプラグ21を埋め込む。更にコンタクトプラグ21に接続されるW配線22を形成する。更に、層間絶縁膜23を介してA1膜によりビット線25等の配線を形成し、その上にはパッシベーション膜を形成する。パッド部のパッシベーション膜を除去して、デバイスが完成する。

【0028】

上記実施の形態では、ゲート間を酸化膜16で埋め込んだが、ゲート間を酸化膜／窒化膜／BPSG膜で埋め込むこともできる。その場合には、上記実施の形態の図11A、11Bに示す厚い酸化膜16の形成を行うことなく、図13に示すように、薄い酸化膜20で全体を覆う。そして、図14に示すようにコンタクト部のみ酸化膜20をエッティング除去した後、更にSiN膜17を堆積して全体を覆う。以下、先の実施の形態と同様に層間絶縁膜(BPSG)を堆積する。こ

れにより、ゲート間は、酸化膜／窒化膜／BPSG膜で埋め込まれる。

【図29】

【発明の効果】

以上述べたようにこの発明によれば、重水素アニール処理により不揮発性メモリセルの特性安定化を図ることができる。

【図面の簡単な説明】

【図1】

この発明の実施の形態によるEEPROMセルアレイのレイアウトを示す図である。

【図2】

図1のI-I'断面図である。

【図3】

図1のII-II'断面図である。

【図4】

同実施の形態のウェル形成工程を示す断面図である。

【図5】

同実施の形態のトンネル酸化膜形成工程と引き続く素子分離のためのマスク層形成工程を示す断面図である。

【図6】

同実施の形態の素子分離溝形成工程を示す断面図である。

【図7】

同実施の形態の素子分離絶縁膜埋め込み工程を示す断面図である。

【図8】

同素子分離絶縁膜埋め込み完了の状態を示す断面図である。

【図9】

同実施の形態の浮遊ゲート用多結晶シリコン膜形成工程を示す断面図である。

【図10A】

同実施の形態の制御ゲート形成工程を示す断面図である。

【図10B】

同制御ゲート形成工程を示す異なる断面図である。

【図11A】

同実施の形態のゲート間埋め込み工程を示す断面図である。

【図11B】

同ゲート間埋め込み工程の異なる断面図である。

【図12A】

同実施の形態のセルアレイをシリコン窒化膜で覆った後の重水素アニール処理工程を示す断面図である。

【図12B】

同重水素アニール処理工程を示す異なる断面図である。

【図13】

他の実施の形態による、図10A、Bの工程後の酸化膜堆積工程を示す図である。

【図14】

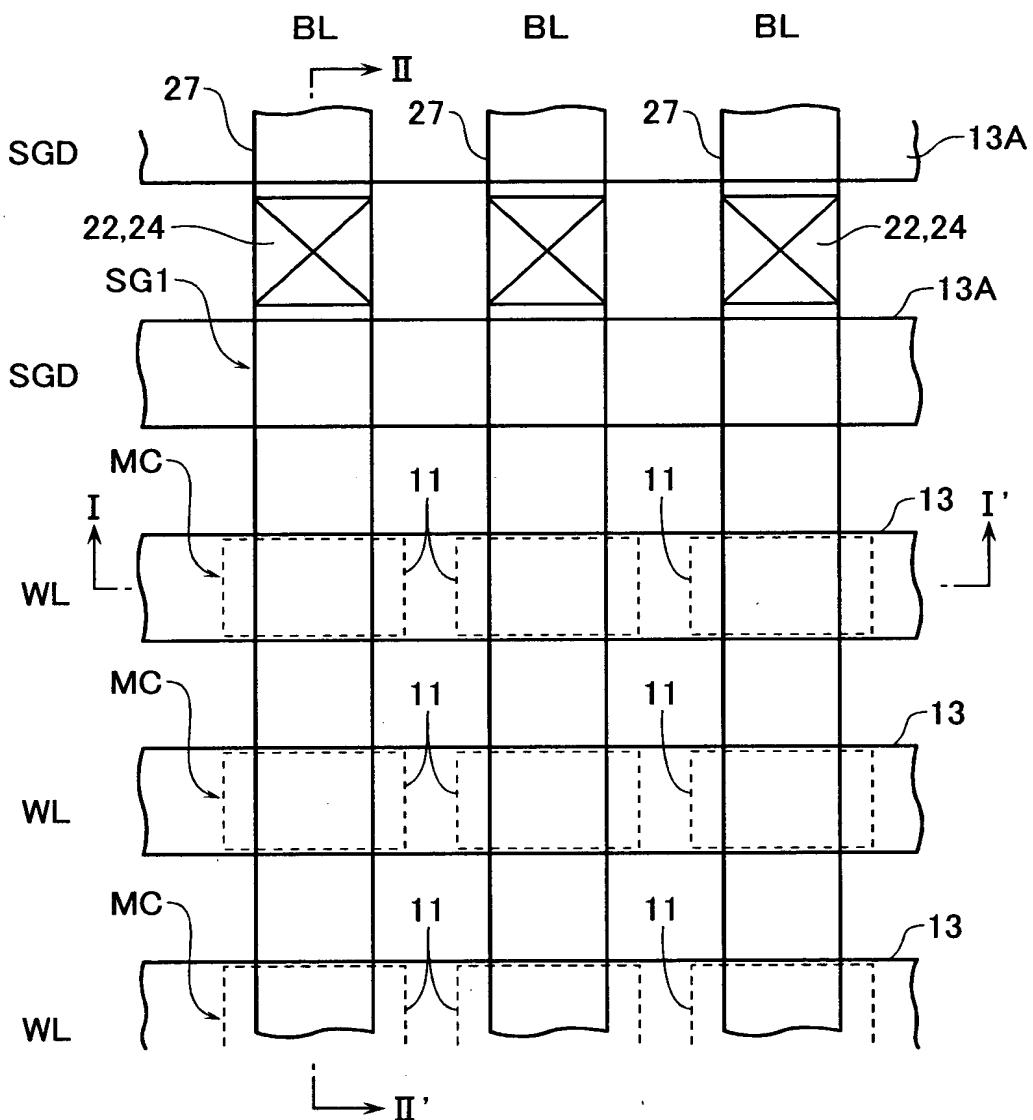
同実施の形態による図13の工程後の窒化膜堆積工程を示す図である。

【符号の説明】

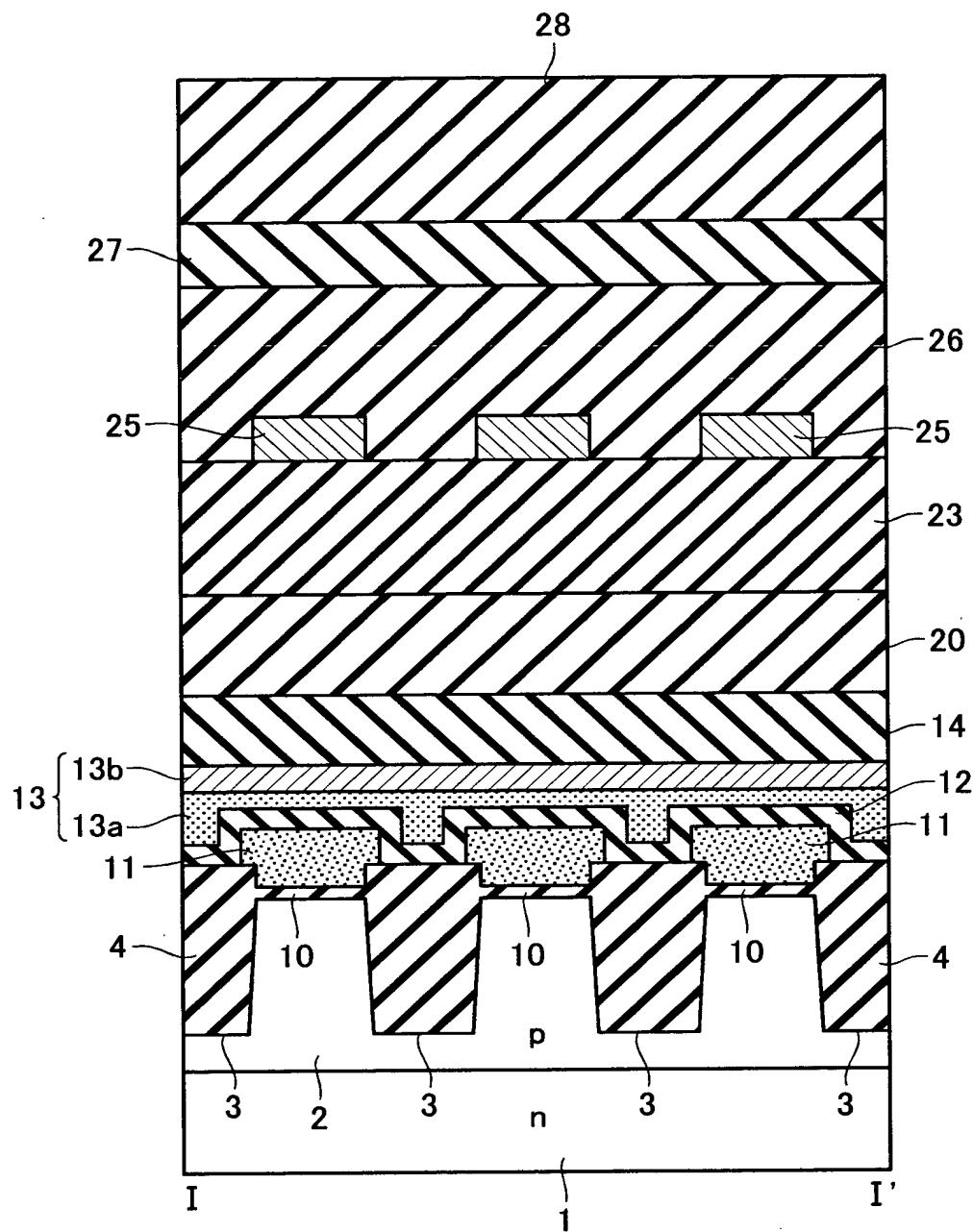
1 …シリコン基板、 2 …P型ウェル、 3 …素子分離溝、 4 …素子分離絶縁膜、
10 …トンネル酸化膜、 11 …浮遊ゲート、 12 …ゲート間絶縁膜、 13 …制御
ゲート（ワード線）、 14 …シリコン窒化膜、 15 …拡散層、 16 …絶縁膜、 1
7 …シリコン窒化膜、 20 …層間絶縁膜、 21 …コンタクトプラグ、 22 …W配
線、 23 …層間絶縁膜、 24 …コンタクトプラグ、 25 …ビット線、 26 …シリ
コン酸化膜、 27 …シリコン窒化膜、 28 …ポリイミド膜。

【書類名】 図面

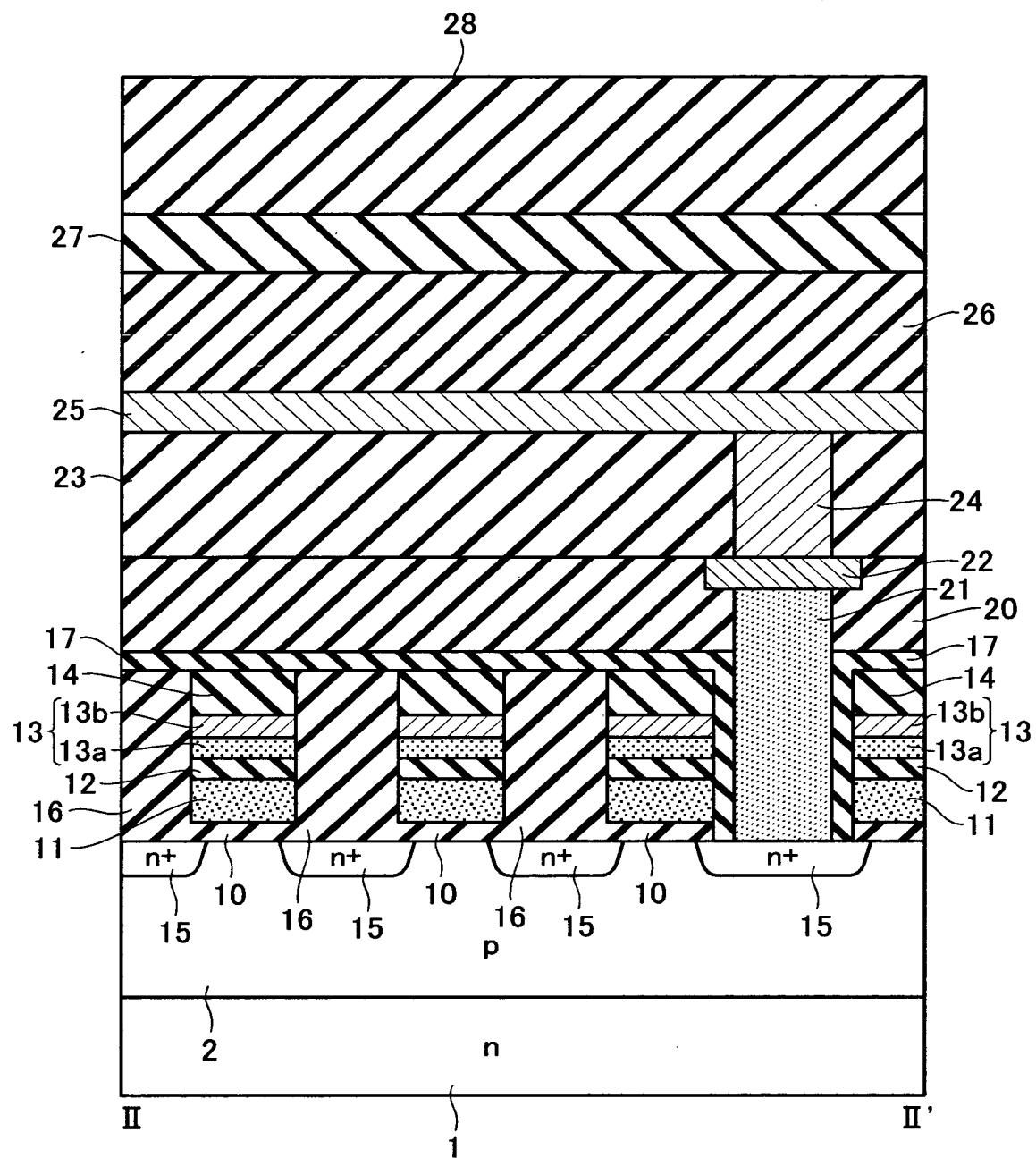
【図1】



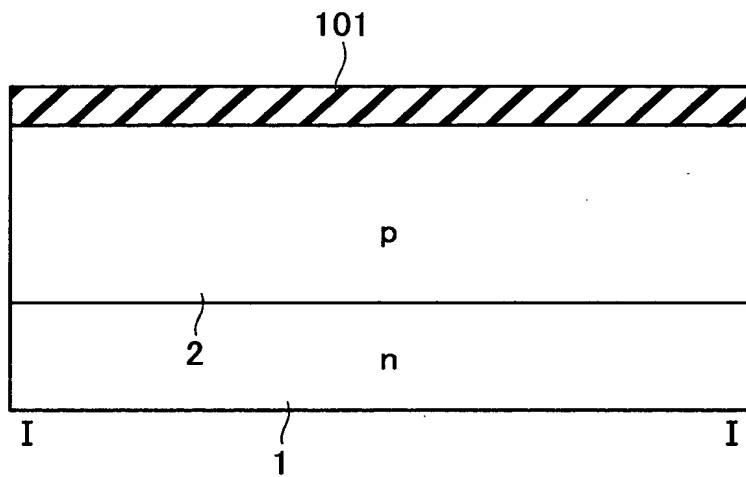
【図2】



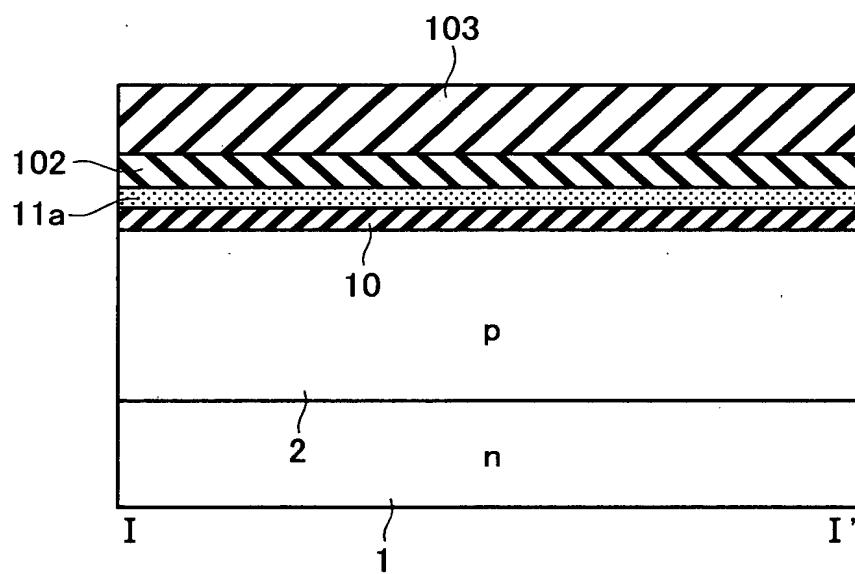
【図3】



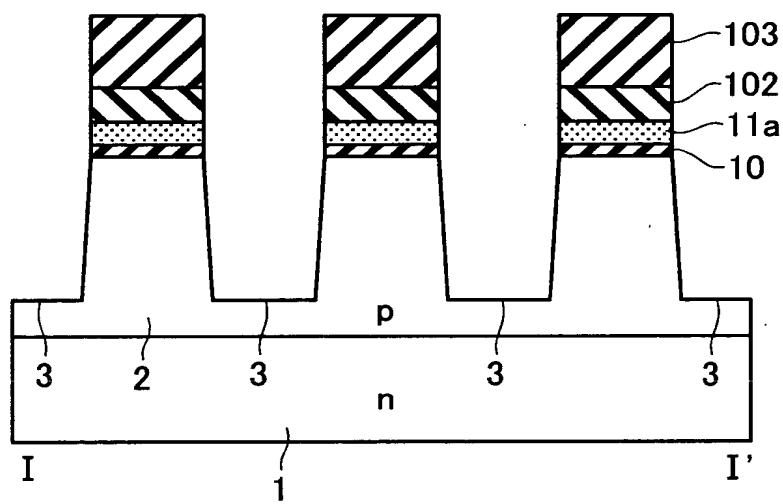
【図4】



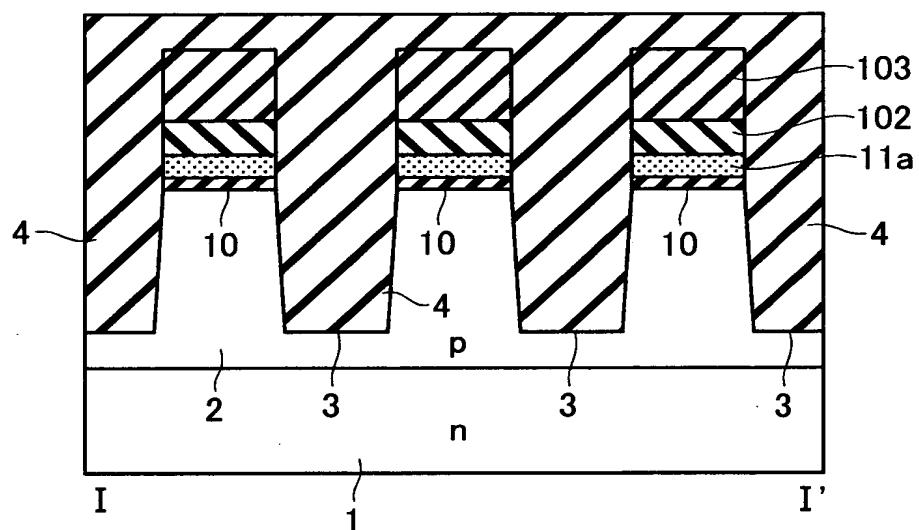
【図5】



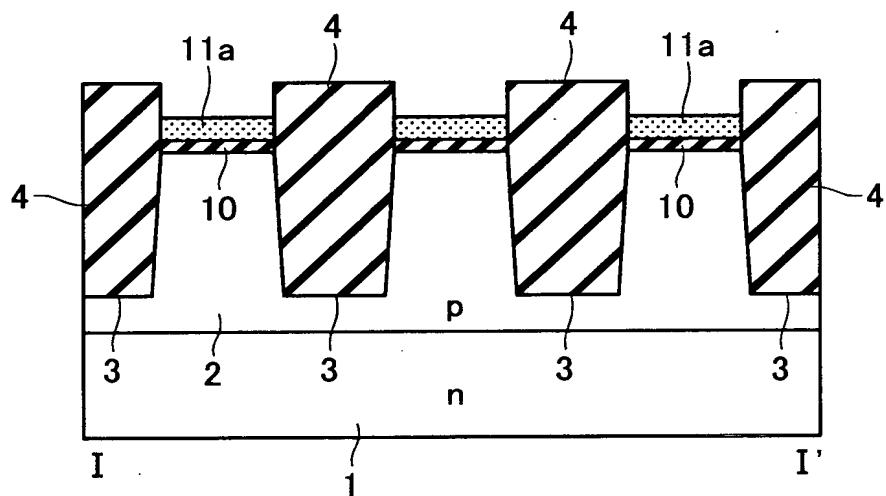
【図6】



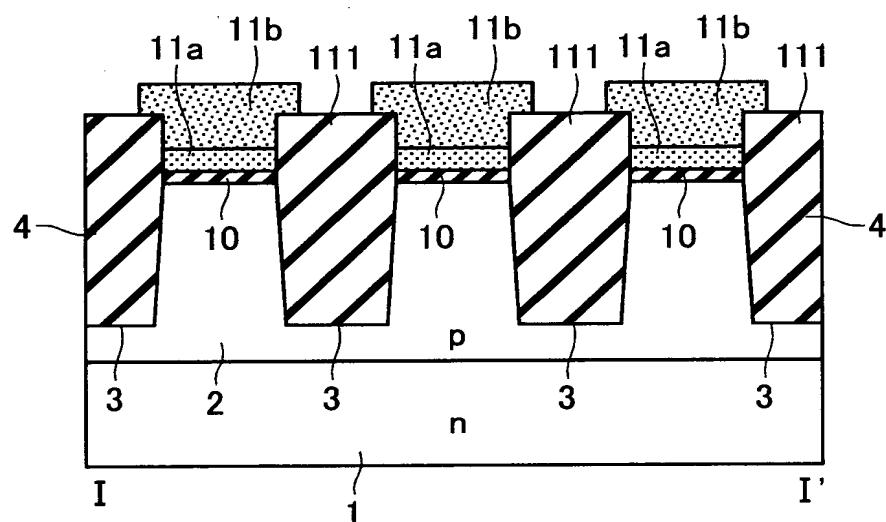
【図7】



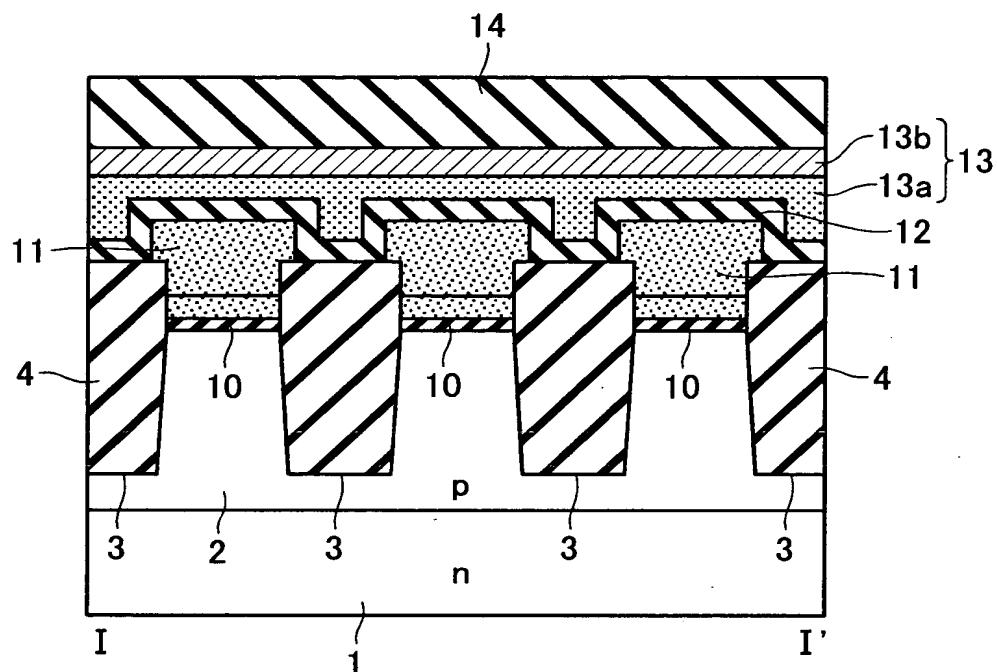
【図8】



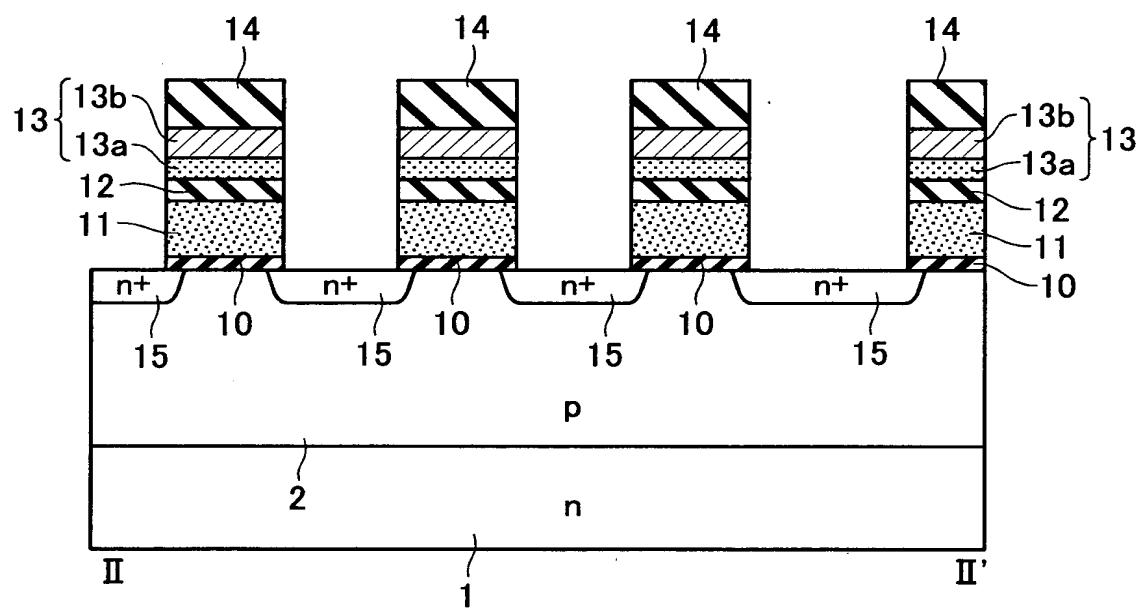
【図9】



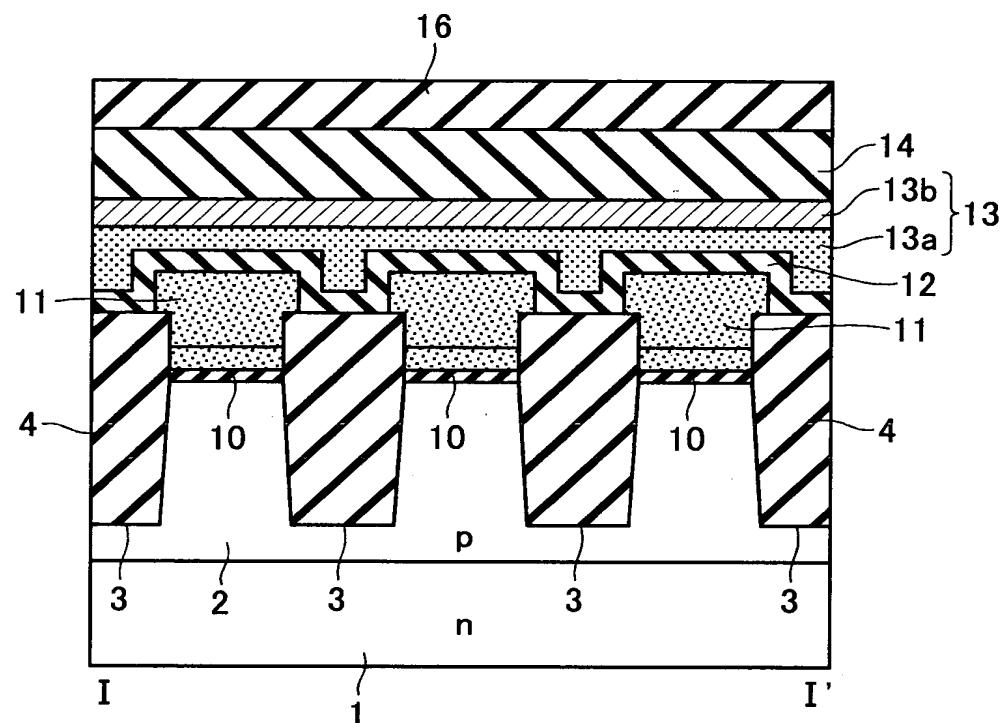
【図10A】



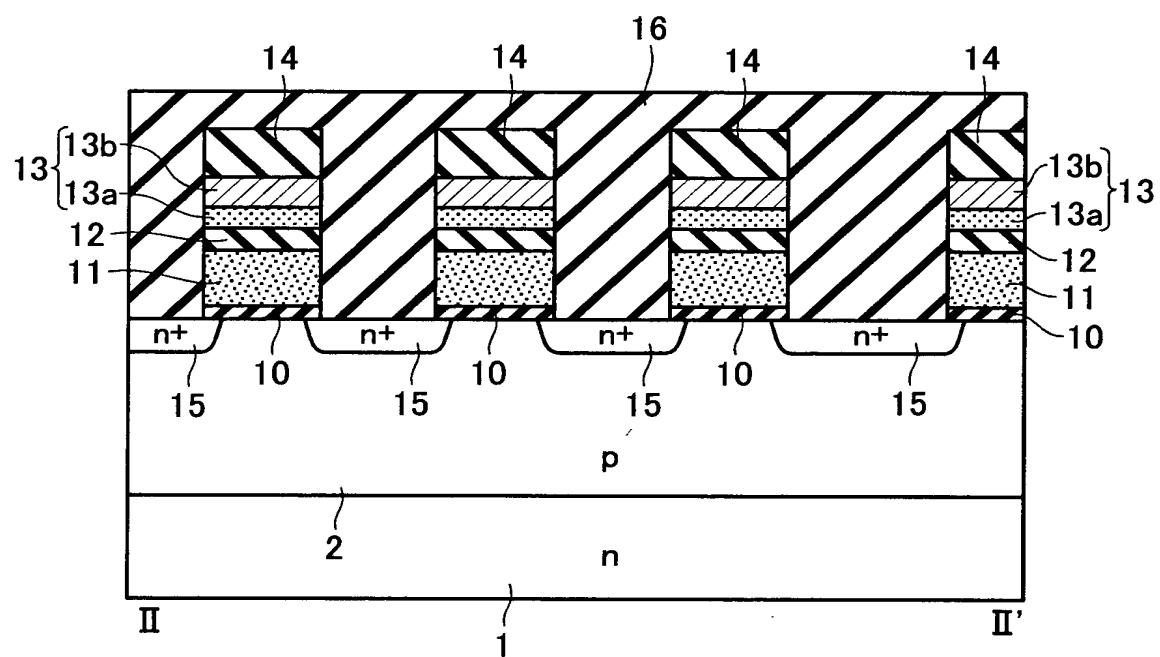
【図10B】



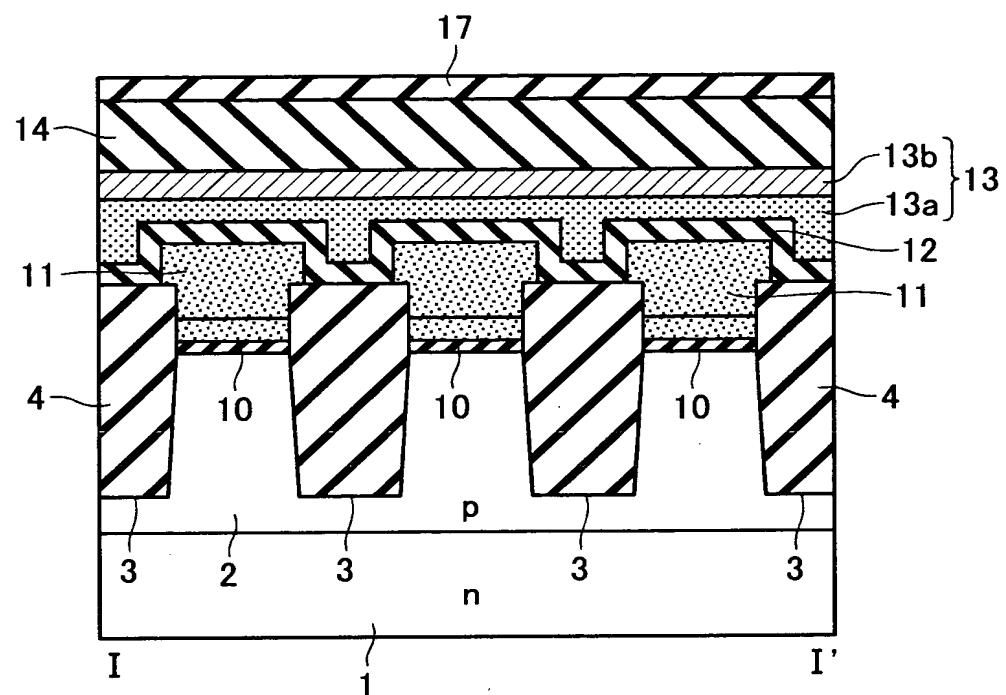
【図11A】



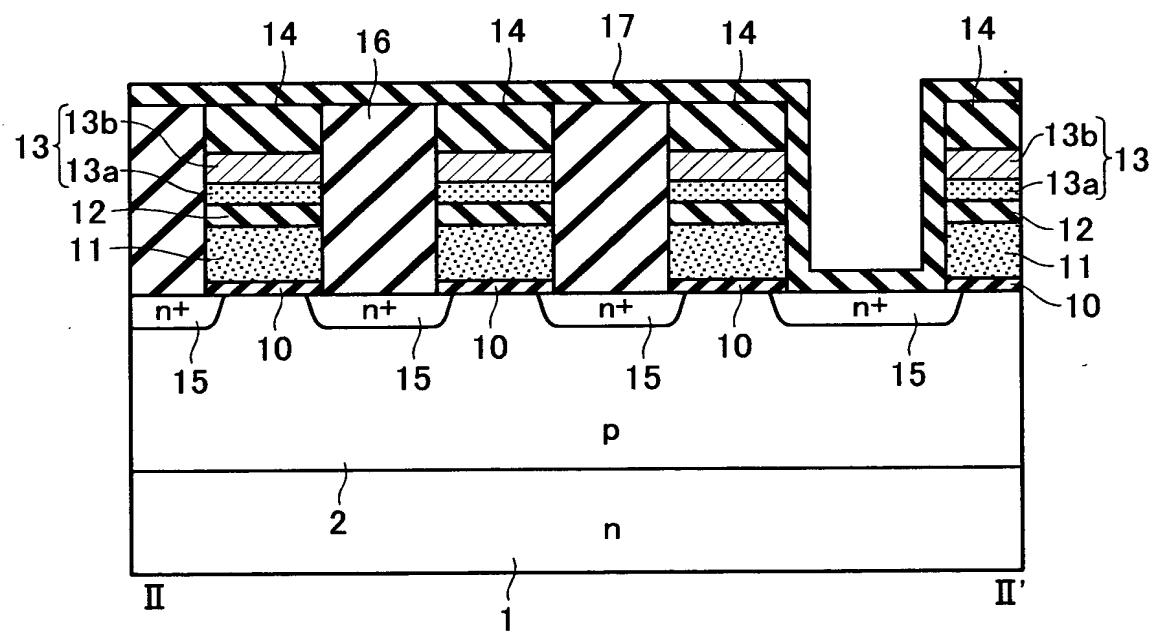
【図11B】



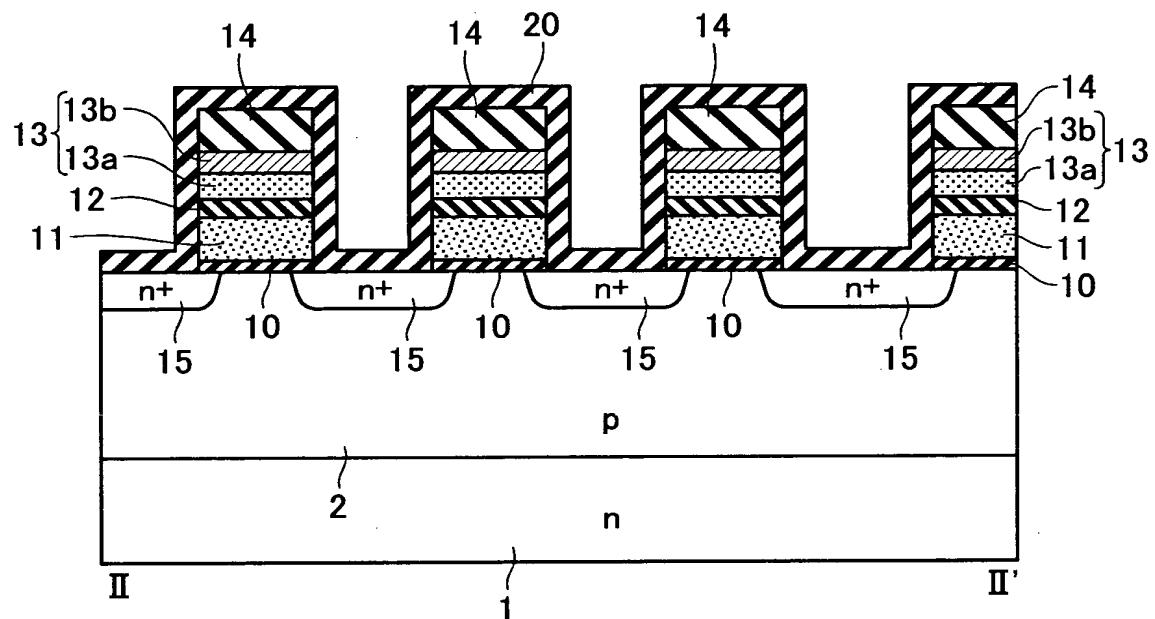
【図12A】



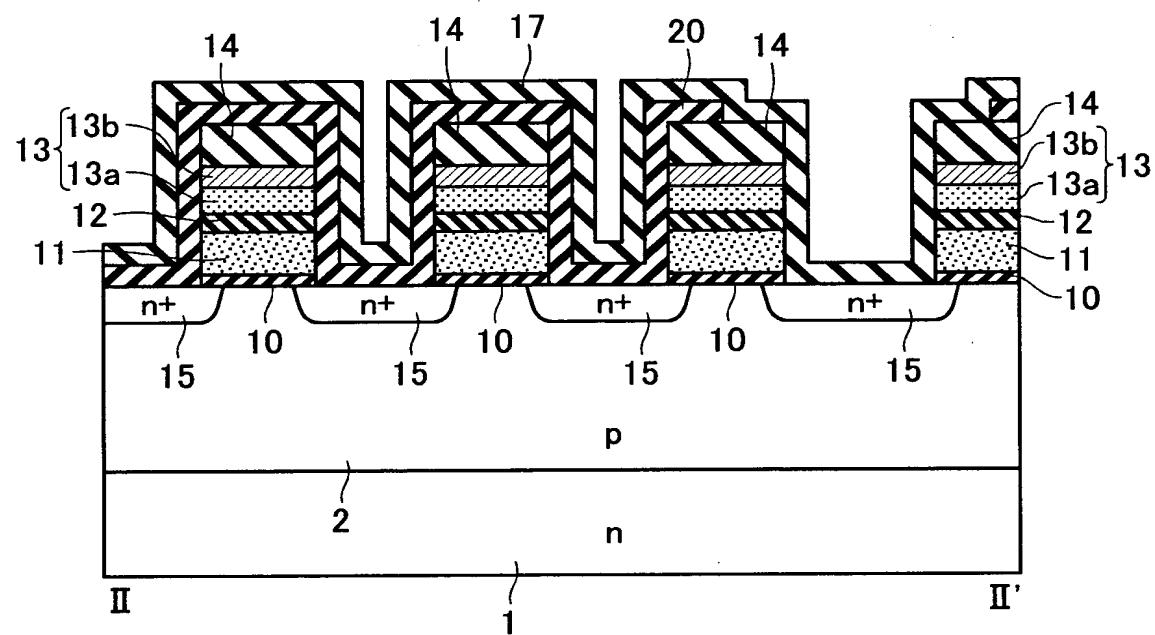
【図12B】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 不揮発性メモリセルの特性安定化を図った不揮発性半導体記憶装置とその製造方法を提供する。

【解決手段】 不揮発性半導体記憶装置は、半導体基板と、前記半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートを持つ電気的書き換え可能なメモリセルが配列されたメモリセルアレイと、前記メモリセルアレイを覆うシリコン窒化膜と、前記シリコン窒化膜上に層間絶縁膜を介して形成された配線とを備え、前記半導体基板と前記シリコン窒化膜との間にある層における重水素濃度が前記シリコン窒化膜より上層のそれより高い。

【選択図】 図3

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日

[変更理由] 名称変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝